

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-152100

(43)Date of publication of application : 23.05.2003

(51)Int.Cl.

H01L 21/8238  
H01L 21/318  
H01L 21/768  
H01L 21/822  
H01L 21/8234  
H01L 27/04  
H01L 27/06  
H01L 27/092

(21)Application number : 2001-347121

(71)Applicant : RICOH CO LTD

(22)Date of filing : 13.11.2001

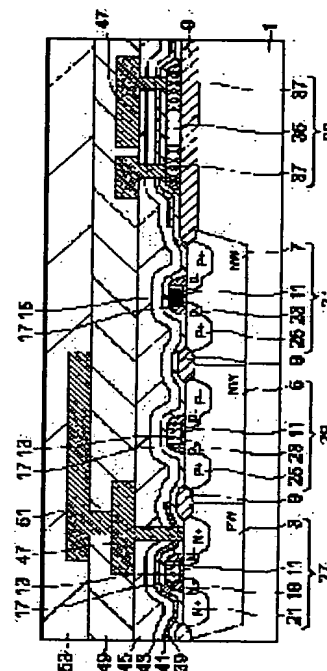
(72)Inventor : SHIMIZU EI

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve controllability and stability of the threshold voltage of an MOS transistor and the resistance value of a polysilicon resistor.

**SOLUTION:** A thermal oxide film 39 is formed on the surfaces of N+ poly- NMOS 27, N+ poly-PMOS 29, P+ poly-PMOS 31, and the polysilicon resistor. A silicon nitride film 41 is formed on the thermal oxide film 39 except the formation areas of the N+ poly-PMOS 29 and P+ poly-PMOS 31. The thermal oxide film 39 cuts off diffusion of hydrogen during the formation of the silicon nitride film 41 to improve, specially, the threshold stability of the P+ poly- PMOS 31, the threshold voltage stability of the N+ poly- NMOS 27, and the resistance value stability of the polysilicon resistor 35. The silicon nitride film 41 cuts off the diffusion of hydrogen during the formation of upper-layer films to improve, specially, deterioration in the hot-carrier resistance of the N+ poly- NMOS 37 and the controllability and stability of the resistance value of the polysilicon resistor 35.



## LEGAL STATUS

[Date of request for examination]

21.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3737045

[Date of registration] 04.11.2005

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-152100

(P2003-152100A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\*(参考)

H 0 1 L 21/8238  
21/318  
21/768  
21/822  
21/8234

H 0 1 L 21/318  
27/08  
21/90  
27/04  
27/06

M 5 F 0 3 3  
3 2 1 D 5 F 0 3 8  
K 5 F 0 4 8  
P 5 F 0 5 8  
1 0 2 A

審査請求 有 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21)出願番号 特願2001-347121(P2001-347121)

(22)出願日 平成13年11月13日(2001.11.13)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 清水 映

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(74)代理人 100085464

弁理士 野口 繁雄

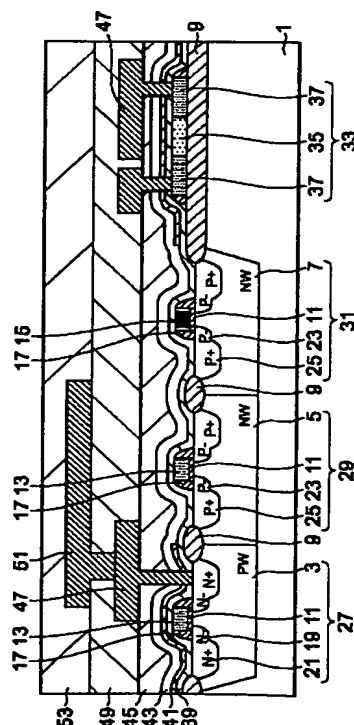
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 MOSTランジスタのしきい値電圧及びポリシリコン抵抗体の抵抗値の制御性及び安定性を向上させる。

【解決手段】 N+ポリNMOS27、N+ポリPMOS29、P+ポリPMOS31及びポリシリコン抵抗体35の表面に熱酸化膜39が形成されている。N+ポリPMOS29及びP+ポリPMOS31の形成領域を除いて、熱酸化膜39上にシリコン窒化膜41が形成されている。熱酸化膜39は、シリコン窒化膜41の形成時における水素の拡散を遮へいし、特に、P+ポリPMOS31のしきい値電圧安定性、N+ポリNMOS27のしきい値電圧安定性及びポリシリコン抵抗体35の抵抗値安定性を向上させる。シリコン窒化膜41は上層膜の形成時における水素の拡散を遮へいし、特に、N+ポリNMOS27のホットキャリア耐性の劣化を防止し、ポリシリコン抵抗体35の抵抗値の制御性及び安定性を向上させる。



## 【特許請求の範囲】

【請求項1】 PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、前記NチャネルMOSトランジスタ上及び前記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されており、前記PチャネルMOSトランジスタ上にはシリコン窒化膜が形成されていないことを特徴とする半導体装置。

【請求項2】 PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、前記PチャネルMOSトランジスタ上、前記NチャネルMOSトランジスタ及び前記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されていることを特徴とする半導体装置。

【請求項3】 PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、前記NチャネルMOSトランジスタ上及び前記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されており、前記PチャネルMOSトランジスタとして、上層に膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されているものと、上層にシリコン窒化膜が形成されていないものが混載されていることを特徴とする半導体装置。

【請求項4】 前記シリコン窒化膜の膜厚は5～30nmである請求項1、2又は3のいずれかに記載の半導体装置。

【請求項5】 前記PチャネルMOSトランジスタは、P型不純物が導入されたポリシリコン膜からなるゲート電極を備えた表面チャネル型PチャネルMOSトランジスタを含む請求項1から4のいずれかに記載の半導体装置。

【請求項6】 前記ポリシリコン抵抗体の形成領域において、前記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されており、前記ポリシリコン抵抗体は、前記ノンドープ酸化膜上に形成された層間絶縁膜を介して、アルミニウムを含む金属材料からなり、膜厚は400nm以上である金属配線層で覆われている請求項1から5のいずれかに記載の半導体装置。

【請求項7】 前記ポリシリコン抵抗体の形成領域において、前記金属配線層の上層には他の金属配線層が形成されていない請求項6に記載の半導体装置。

【請求項8】 前記ポリシリコン抵抗体の形成領域において、前記ポリシリコン抵抗体は3000Ω/□以下のシート抵抗値をもち、前記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されており、前記ポリシリコン抵抗体の上層には金属配線層が形

成されていない請求項1から5のいずれかに記載の半導体装置。

【請求項9】 検出すべき電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧源と、前記分圧抵抗からの分圧電圧と前記基準電圧源からの基準電圧を比較するための比較回路を備えたアナログ集積回路を備え、

前記基準電圧源及び前記比較回路のうち少なくとも一方が請求項1から8のいずれかに記載のCMOSデバイスを備え、前記分圧抵抗を構成する抵抗回路は請求項1から8のいずれかに記載のポリシリコン抵抗体を備えていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にPチャネルMOS (metal oxide semiconductor) トランジスタ及びNチャネルMOSトランジスタを備えたCMOS (相補型MOS) デバイスとポリシリコン抵抗体を備えた半導体装置に関するものである。このような半導体装置は例えばアナログ用IC (集積回路) に適用される。

## 【0002】

【従来の技術】ロジック用半導体装置は主にCMOSデバイスのみで構成されているが、アナログ用半導体装置はCMOSデバイスに加えてポリシリコン膜からなる高抵抗のポリシリコン抵抗体を搭載している場合が多い。アナログ用半導体装置において各デバイスに要求される特性は、ロジック用半導体装置とは大きく異なる。例えばパワーマネージメントICなどのアナログ用ICの場合、回路自体の消費電流を極力低減するためにMOSトランジスタのリーク電流を抑える必要があり、同時に低いオン抵抗と低電圧動作をも両立させる必要がある。

【0003】また、アナログ用半導体装置において、MOSトランジスタのしきい値電圧制御性及びしきい値電圧安定性 (ドリフト) やポリシリコン抵抗体の抵抗値制御性及び抵抗値安定性 (ドリフト) は、例えば差動増幅回路や基準電圧発生回路などのアナログ回路の出力精度に直接影響するので、ロジック用とは比較にならないほどの高い性能を要求される。ここで、制御性とは、設定値に対するずれの度合いを意味し、面内バラツキやペラ性 (隣接する2つの素子間での特性のバラツキ) のことである。また、安定性とは、経時変化を意味し、パッケージ前後のしきい値電圧又は抵抗値のシフトや、P C B T (プレッシャークーカークッカーバイアステスト) など環境試験前後のしきい値電圧又は抵抗値のシフトなどを意味する。

【0004】このような要求に対して、PチャネルMOSトランジスタ (以下、PMOSと呼ぶ) としては、埋め込みチャネル型と呼ばれる構造ではリーク電流の低減が困難であるため、P型不純物を導入したポリシリコン

膜をゲート電極（以下、P+ポリゲート電極と呼ぶ）として備えた表面チャネル型PMOS（以下、P+ポリPMOSと呼ぶ）を使用することが多い。P+ポリPMOSの最大の特徴は、低しきい値電圧と低リーク電流を両立しやすいことであり、回路の低電圧動作を可能にする。

【0005】同一半導体基板上にアナログ回路とロジック回路が混載されている場合は、P+ポリPMOSでアナログ回路を構成し、N型不純物を導入したポリシリコン膜からなるゲート電極（以下、N+ポリゲート電極と呼ぶ）を備えた埋め込みチャネル型PMOS（以下、N+ポリPMOSと呼ぶ）でロジックを構成するといった使い分けが多に行なわれ、とりわけアナログ回路に用いられるP+ポリPMOSの性能が重視される傾向にある。

【0006】しかし、P+ポリPMOSはしきい値電圧制御性及びしきい値電圧安定性の制御がN+ポリPMOSよりも困難である。原因はP+ポリゲート電極を構成するポリシリコン膜中の不純物濃度がN+ポリゲート電極よりも低く、ダングリングボンド（シリコン原子の未結合手）が多く存在するため、ゲート酸化膜とP+ポリゲート電極の界面などに存在する界面準位が多いためと考えられる。一方、NチャネルMOSトランジスタ（以下、NMOSと呼ぶ）についても、しきい値電圧制御性及びしきい値電圧安定性を向上させる必要がある。

【0007】従来、配線工程の層間絶縁膜としてよく用いられるTEOS（tetra ethyl ortho silicate）酸化膜やパッシベーション保護膜としてよく用いられるプラズマ窒化膜には多量の水素が含まれている。その水素が、金属配線層のアロイ時の熱処理や樹脂封止時の熱処理、さらには製品完成後に行なわれる環境試験であるP-C-B-T試験等によって、ゲート酸化膜まで拡散し、ポリシリコン膜とゲート酸化膜の界面やゲート酸化膜中にトラップ準位を作り、MOSトランジスタのしきい値電圧のドリフトやホットキャリア耐性の劣化を促すという問題があった。

【0008】MOSトランジスタのしきい値電圧制御性及びしきい値電圧安定性並びにホットキャリア耐性を向上させる方法として、シリコン窒化膜でMOSトランジスタを覆うことが提案されている（特開平6-163522号公報参照）。この従来技術では、水素に対して遮へい効果をもつシリコン窒化膜の作用により、TEOS膜やプラズマ窒化膜からゲート酸化膜に水素が拡散するのを防止している。

【0009】また、回路の一部を構成する抵抗体として、例えばポリシリコン膜からなるポリシリコン抵抗体を用いられる。ポリシリコン抵抗体をアナログ回路に適用する場合、SRAM（static random access memory）などのロジック回路に用いられる場合以上に、高い抵抗比精度及び安定性を得る必要がある。

【0010】ポリシリコン抵抗体における精度のバラツキの原因としては、MOSトランジスタの場合と同じく、TEOS膜やプラズマ窒化膜からの水素の拡散が原因と考えられている。ポリシリコン抵抗体の抵抗比精度及び安定性の向上を図る方法として、シリコン窒化膜の遮へい効果による対策が提案されている（特公平5-56661号公報参照）。

【0011】個々のデバイスに対する対策の提案は上述のとおりであるが、アナログ用半導体装置として機能させるには個々のデバイスの性能を低下させることなく、同一半導体基板上に混載させなければならない。

【0012】図14に、水素遮へい用のシリコン窒化膜を備えたアナログ用CMOSを搭載した従来の半導体装置の断面図を示す。半導体基板1に、P型不純物が導入されたPウエル領域（PW）3、及びN型不純物が導入されたNウエル領域（NW）5、7が形成されている。Pウエル領域3及びNウエル領域5、7は半導体基板1の表面に形成された厚い酸化膜からなる素子分離領域9により分離されている。

【0013】Pウエル領域3上及びNウエル領域5上に、ゲート酸化膜11を介して、N型不純物が導入されたポリシリコン膜からなるN+ポリゲート電極13が形成されている。Nウエル領域7上に、ゲート酸化膜11を介して、P型不純物が導入されたポリシリコン膜からなるP+ポリゲート電極15が形成されている。

【0014】N+ポリゲート電極13は、例えばノンドープのポリシリコン膜をCVD（化学的気相成長）法などにより半導体基板1上全面に形成した後、そのノンドープのポリシリコン膜にリンなどのN型不純物をイオン注入や、PH<sub>3</sub>などを原料ガスとした熱拡散により高濃度に導入し、その後、エッチング技術により所望の形状にパターニングして形成する。

【0015】P+ポリゲート電極15は、N+ポリゲート電極13の形成と同時に例えばノンドープのポリシリコン膜をCVD法などにより半導体基板1上全面に形成し、CVD法などで形成した酸化膜やフォトレジストによりN型高濃度不純物導入領域をマスクした後、エッチング技術によりポリシリコン膜を所望の形状にパターニングし、PMOSのソース/ドレイン形成用のイオン注入と同時にP+ポリゲート電極用のポリシリコン膜へP型不純物を導入して形成する方法や、P+ポリゲート電極15用のポリシリコン膜のパターニング前にイオン注入でP型不純物を導入する方法などにより形成される。

【0016】ゲート酸化膜11、N+ポリゲート電極13及びP+ポリゲート電極15の側壁に、CVD法とエッチバック技術によって形成された酸化膜からなるサイドウォール17が形成されている。Pウエル領域3にはNMOSのソース/ドレイン領域を構成し、N型不純物が低濃度に注入されたN-拡散層（N-）19及びN型不純物が高濃度に注入されたN+拡散層（N+）21が

形成されている。Nウェル領域5, 7にはPMOSのソース/ドレイン領域を構成し、P型不純物が低濃度に注入されたP-拡散層(P-)23及びP型不純物が高濃度に注入されたP+拡散層(P+)25が形成されている。

【0017】素子分離領域9上には、ポリシリコン膜からなる抵抗素子33が形成されている。抵抗素子33は、ポリシリコン抵抗体35と、ポリシリコン抵抗体35の両端側に形成された電気的接続用の低抵抗ポリシリコン膜37により構成されている。抵抗素子33は、ゲート電極13, 15と同時に形成するが、ノンドープのポリシリコン膜を形成した後、ポリシリコン抵抗体35の形成領域に所望の抵抗値を得るためのN型不純物をイオン注入により導入し、その後、例えばCVD法などにより形成した酸化膜によりポリシリコン抵抗体35をマスクした状態で、低抵抗ポリシリコン膜37の形成領域にN型不純物であるリンを高濃度に導入することによって形成する。低抵抗ポリシリコン膜37には、電気的接続を良好にするために、N+ポリゲート電極13と同じ濃度でN型不純物が高濃度に導入されている。

【0018】これらのMOSTランジスタ及び抵抗素子33の上を覆うように、例えば常圧CVDにより形成した膜厚が約100~300nm(ナノメートル)のCVD酸化膜83が形成されている。CVD酸化膜83は、抵抗素子33のポリシリコン抵抗体35の抵抗値制御性を維持するために、不純物が含まれていない酸化膜(NSG膜)により形成され、かつ後工程で上層に形成されるBPSG(borophosphosilicate glass)膜からMOSTランジスタ及び抵抗素子33への不純物拡散を阻止できる膜厚、すなわち約100~300nmの膜厚が必要である。

【0019】CVD酸化膜83上に膜厚が約1~20nmのシリコン窒化膜41が形成されている。シリコン窒化膜41を、CVD酸化膜83を介することなく、ポリシリコン抵抗体35上に直接形成すると、シリコン窒化膜41の形成と同時にポリシリコン抵抗体35がグレインの異常成長を起こし、抵抗値制御性が著しく低下するので、CVD酸化膜83の形成が必要である。シリコン窒化膜41は、後工程で上層に形成されるTEOS膜などの層間絶縁膜やパッシベーション保護膜としてのプラズマ窒化膜などに多量に含まれる水素を遮へいし、NMOSのホットキャリア耐性の劣化を低減する。シリコン窒化膜41の形成方法は、例えばSiH<sub>2</sub>Cl<sub>2</sub>及びNH<sub>3</sub>を原料ガスとした約700℃程度の温度条件での減圧CVD法を挙げることができる。

【0020】シリコン窒化膜41上に層間絶縁膜であるBPSG膜45が形成されている。BPSG膜45は、例えば常圧CVDにより堆積された後、表面を平坦化するために約800~900℃の温度で熱処理が施されて形成される。NMOS、PMOS及び抵抗素子33上の

CVD酸化膜83、シリコン窒化膜41及びBPSG膜45には電気接続用のコンタクトホールが選択的に形成されている。図14ではコンタクトホールの一部は図示されていない。

【0021】BPSG膜45上及びコンタクトホール内に、チタンなどのバリアメタル及び配線層材料であるアルミニウムがスパッタ法などにより順次堆積され、それらの金属膜がパターニングされて選択的に第1配線層47が形成されている。第1配線層47の形成工程では、第1配線層47のパターニング工程後に、約420℃の温度にて水素雰囲気中でメタルアロイが行なわれる。

【0022】BPSG膜45上及び第1配線層47上に、例えばプラズマCVD法によるTEOS酸化膜及びその上に形成された平坦化のためのSOG膜(spin on glass)膜からなる第2層間絶縁膜49が形成されている。第1配線層47上の第2層間絶縁膜49には、第1配線層47と第2配線層51を電気接続するためのスルーホールが選択的に形成されている。図14ではスルーホールの一部は図示されていない。

【0023】第2層間絶縁膜49上及びスルーホール内に、スパッタ法により堆積されたアルミニウムがパターニングされてなる第2配線層51が形成されている。第2層間絶縁膜49上及び第2配線層51上に、例えばプラズマCVD法などで形成されたパッシベーション保護膜としてのプラズマ窒化膜53が形成されている。

【0024】この従来技術では、シリコン窒化膜41により、上層膜からの水素がMOSTランジスタ及び抵抗素子33へ拡散するのを遮へいしているので、特にNMOSのホットキャリア耐性の劣化を低減でき、抵抗素子33のポリシリコン抵抗体35の抵抗値制御性も向上させることができる。

【0025】

【発明が解決しようとする課題】しかし、アナログ用として要求されるMOSTランジスタのしきい値電圧制御性及びしきい値電圧安定性やポリシリコン抵抗体の抵抗値安定性には不十分であることが見出され、有効に機能する各デバイスを混載することは困難であり、いずれかのデバイス特性を犠牲にしていた。

【0026】第1に、NMOSのしきい値電圧安定性がアナログ用デバイスの性能としては不足していることが明らかになった。例えば基準電圧回路や差動増幅回路などのアナログ回路の入力段はNMOSで構成されており、しきい値電圧のドリフトはアナログ出力のドリフトを招く。NMOSにおけるしきい値電圧のドリフトの原因は、ゲート電極上の酸化膜がCVD法で形成されており、かつその膜厚が約100~300nmと厚いためである。

【0027】CVD酸化膜は、形成後に800度以上の高温で処理されたとしても膜質的にはポーラスであり、水素などを取り込みやすい。さらに、膜厚が厚いと水素

の取り込みが助長される。従来技術のように、CVD酸化膜上にシリコン窒化膜を形成する際、微量ながら水素が発生し、膜質がポーラスで膜厚が厚いCVD酸化膜に水素が取り込まれやすい。CVD酸化膜に取り込まれた水素は、微量であっても、パッケージング時や環境試験時にMOSトランジスタの特性の変化を引き起こすという問題があった。

【0028】第2に、従来技術のように半導体基板上全面をシリコン窒化膜で覆う方法ではPMOS領域もシリコン窒化膜で覆われてしまい、しきい値電圧制御性が悪化するという問題があった。PMOSは、第1配線層形成後に行なわれる水素雰囲気中でのメタルアロイ時に、ゲート酸化膜界面に存在するトラップ準位を安定化させないとしきい値電圧が不安定となり、バラツキが増加するという不具合を引き起こす。特に、P+ポリPMOSはその傾向が強く、シリコン窒化膜の有無でしきい値電圧が150mV（ミリボルト）もシフトしてしまうことが判明した。低電圧動作及び低リーク特性を強く求められるアナログ用半導体装置では、しきい値電圧制御性及びしきい値電圧安定性が高いP+ポリPMOSの搭載ができれば優れた製品の実現が困難となる。

【0029】PMOSのしきい値電圧制御性に対しては、PMOS形成領域のシリコン窒化膜を除去することが提案されている（特開2000-183182号公報）。この方法を検証したところ、N+ポリPMOS及びP+ポリPMOSのしきい値電圧制御性については向上させることができるが、P+ポリPMOSのしきい値電圧安定性については逆に低下することが判明した。

【0030】しきい値電圧安定性の低下の原因は、前述のNMOSの場合と同じく、CVD酸化膜の膜質と膜厚によるものである。シリコン窒化膜はPMOS上にも一旦形成され、その後エッチング法により除去されるが、そのシリコン窒化膜形成過程でCVD酸化膜中に水素が取り込まれ、PMOSの特性に影響を与える。

【0031】特に、ゲート電極に高電圧が長時間印可されるようなアナログ回路、例えば電流リミッター制御回路などの場合、しきい値電圧制御性よりもむしろ高い安定性が求められる。このように、アナログICでは使用される回路形態によって、重視される特性が異なるため、最適なデバイス構造を選択する必要がある。

【0032】第3に、シリコン窒化膜の導入はポリシリコン抵抗体の抵抗値制御性には大きく貢献するが、応力が大きく、その影響はポリシリコン抵抗体の安定性を損なうことが新たに見出された。特に、パッケージング後の環境試験を行なうと、従来よりもドリフトが大きくなることが確認された。これは、シリコン窒化膜の応力によって、ポリシリコン膜のダングリングボンドに結合された水素が変動するためであり、その供給源はCVD酸化膜中に残存している水素と考えられる。したがって、ポリシリコン抵抗体の安定性を確保するには、ポリシリ

コン抵抗体上の酸化膜の改善とシリコン窒化膜の応力を緩和する手段の導入が必要であることが明らかになった。

【0033】以上のように、アナログ用デバイスに対しては、シリコン窒化膜の導入による性能向上を図る上で、MOSトランジスタ上及びポリシリコン抵抗体上の酸化膜の膜質及び膜厚の最適化が重要な要素であることを見出した。本発明は、PMOS及びNMOSを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、PMOS及びNMOSのしきい値電圧制御性及びしきい値電圧安定性を向上させ、ポリシリコン抵抗体の抵抗値制御性及び抵抗値安定性を向上させることを目的とするものである。

【0034】

【課題を解決するための手段】本発明にかかる半導体装置の第1の態様は、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置であって、上記NチャネルMOSトランジスタ上及び上記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されており、上記PチャネルMOSトランジスタ上にはシリコン窒化膜が形成されていないものである。

【0035】NチャネルMOSトランジスタ（NMOS）上とポリシリコン抵抗体上を熱酸化膜を介してシリコン窒化膜で覆うことにより、TEOS膜やSOG膜などの層間絶縁膜やパッシベーション保護膜であるプラズマ窒化膜中に多量に含まれる水素がNMOS及びポリシリコン抵抗体へ拡散するのを防止することができる。これにより、NMOSのホットキャリア耐性の劣化を抑制することができ、ポリシリコン抵抗体の抵抗値制御性を向上させることができる。さらに、PチャネルMOSトランジスタ（PMOS）上にはシリコン窒化膜が存在していないので、PMOSのしきい値電圧制御性を低下させることは無い。

【0036】さらに、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5～80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。また、PMOS上にも熱酸化膜が形成されるために、CVD酸化膜を用いた従来技術に比べてPMOSのしきい値電圧安定性の向上を図ることができる。

【0037】第2の態様は、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置であって、上記PチャネルMOSトランジスタ上、前記NチャネルMOSトランジスタ上及び上記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されているものである。

【0038】第2の態様では、第1の態様と同様に、N

MOS上とポリシリコン抵抗体上を熱酸化膜を介してシリコン窒化膜で覆うことにより、NMOSのホットキャリア耐性の劣化を抑制することができ、ポリシリコン抵抗体の抵抗値制御性を向上させることができる。さらに、PMOS上を熱酸化膜を介してシリコン窒化膜で覆うことにより、シリコン窒化膜よりも上層の膜に含まれる水素がPMOSへ拡散するのを防止することができるので、PMOSのしきい値電圧安定性のさらなる向上を図ることができる。さらに、第1の態様と同様に、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5~80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0039】第3の態様は、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置であって、上記NチャネルMOSトランジスタ上及び上記ポリシリコン抵抗体上に、膜厚が5~80nmの熱酸化膜を介してシリコン窒化膜が形成されており、上記PチャネルMOSトランジスタとして、上層に膜厚が5~80nmの熱酸化膜を介してシリコン窒化膜が形成されているものと、上層にシリコン窒化膜が形成されていないものが混載されているものである。

【0040】上層に熱酸化膜を介して窒化膜が形成されているPMOSは、上層にシリコン窒化膜が形成されていない場合に比べてしきい値電圧制御性は劣るが、第2の態様で説明したように、しきい値電圧安定性は優れている。一方、上層に窒化膜が形成されていないPMOSは、第1の態様で説明したように、しきい値電圧制御性に優れている。

【0041】アナログ回路の場合、しきい値電圧制御性を優先する回路としきい値電圧安定性を優先する回路が同一半導体基板上に同時に存在することがあるので、両PMOSを混載し、適材適所にデバイスを選択できれば、優れた製品をより実現しやすくなる。第3の態様を用いれば、PMOSに要求される特性、すなわちしきい値電圧制御性重視又はしきい値電圧安定性重視ともに最適なデバイスを同一半導体基板上に形成することができる。さらに、第1の態様と同様に、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5~80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0042】

【発明の実施の形態】上記シリコン窒化膜の膜厚は5~30nmであることが好ましい。その結果、NMOSのホットキャリア耐性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0043】上記PチャネルMOSトランジスタの一例として、P型不純物が導入されたポリシリコン膜からな

るゲート電極を備えた表面チャネル型PチャネルMOSトランジスタ(P+ポリPMOS)を挙げることができる。P+ポリPMOSはしきい値電圧制御性及びしきい値電圧安定性について水素の影響を大きく受けるので、本発明のPMOSに対する作用効果はP+ポリPMOSに対して特に有効である。

【0044】上記ポリシリコン抵抗体の形成領域において、上記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されており、上記ポリシリコン抵抗体は、上記ノンドープ酸化膜上に形成された層間絶縁膜を介して、アルミニウムを含む金属材料からなり、膜厚は400nm以上である金属配線層で覆われていることが好ましい。ポリシリコン抵抗体の抵抗値制御性は、上層に形成される層間絶縁膜などに含まれる水素が影響を及ぼすものであり、シリコン窒化膜による遮へい効果は絶大である。

【0045】しかし、その副作用としてシリコン窒化膜の応力が抵抗値安定性に影響を及ぼすことが判明した。そこで、その応力緩和として、ポリシリコン抵抗体をノンドープ酸化膜及び層間絶縁膜を介して金属配線層で覆うことにより、抵抗値のドリフトを低減することができ、抵抗値安定性を向上させることができる。さらに、シリコン窒化膜上にノンドープ酸化膜を備えているので、ノンドープ酸化膜の上層に形成される層間絶縁膜からのポリシリコン抵抗体への不純物拡散を防止することができ、抵抗値安定性を向上させることができる。

【0046】上記金属配線層として通常用いられるアルミニウム配線層の場合、400nm以上の膜厚であればポリシリコン抵抗体に対するシリコン窒化膜の応力緩和の効果を有効に得ることができる。例えばバリアメタルとして用いられる窒化チタンだけでは、窒化チタンは硬いために応力緩和効果が不十分であり、また膜厚が薄い場合も緩和効果が少ない。400nm以上の膜厚のアルミニウム配線層は、通常CMOSデバイスに用いられているものであり、新たな製造工程を追加する必要が無く、コスト的にも有利である。

【0047】例えば高精度の分割抵抗比精度を求められるような場合において、微妙な上層膜の不均一性が精度を低下させるため、レイアウトにおいてバラツキ要因を排除する必要がある。そこで、上記ポリシリコン抵抗体の形成領域において、上記金属配線層の上層には他の金属配線層が形成されていないことが好ましい。その結果、ポリシリコン抵抗体の抵抗値制御性を確保できる。

【0048】上記ポリシリコン抵抗体の形成領域において、上記ポリシリコン抵抗体の上層には金属配線層を形成しない場合、上記ポリシリコン抵抗体は3000Ω/□以下のシート抵抗値をもち、上記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されていることが好ましい。ポリシリコン抵抗体のシート抵抗値を3000Ω/□以下にすることにより、シリ



コン窒化膜による応力の影響を受けないようにすることができる。すなわちポリシリコン抵抗体の上層に応力緩和用の金属配線層を形成しなくても、抵抗値安定性の高いポリシリコン抵抗体を得ることができる。これにより、ポリシリコン抵抗体と金属配線層の間に形成される容量を低減することができ、高速動作を要求される回路系に用いることが可能となる。

【0049】本発明が適用される半導体装置としては、検出すべき電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧源と、上記分圧抵抗からの分圧電圧と上記基準電圧源からの基準電圧を比較するための比較回路を備えたアナログ集積回路を備えているものを挙げることができる。

【0050】そのような半導体装置の上記基準電圧源及び上記比較回路のうち少なくとも一方に本発明を構成するCMOSデバイスを適用することにより、本発明を構成するPMOS及びNMOSはしきい値電圧制御性及びしきい値電圧安定性を向上させることができるので、上記基準電圧源もしくは上記比較回路又はその両方の出力の精度を向上させることができ、ひいては上記アナログ回路の出力の精度を向上させることができる。

【0051】さらに、上記分圧抵抗に本発明を構成するポリシリコン膜を適用することにより、本発明を構成するポリシリコン抵抗体は抵抗値制御性及び抵抗値安定性を向上させることができるので、分圧抵抗からの分圧電圧の精度を向上させることができ、ひいては上記アナログ回路の精度を向上させることができる。

【0052】

【実施例】図1は第1の実施例を示す断面図である。この実施例は第1の態様の一実施例である。半導体基板1に、P型不純物が導入されたPウェル領域(PW)3、及びN型不純物が導入されたNウェル領域(NW)5、7が形成されている。Pウェル領域3及びNウェル領域5、7は半導体基板1の表面に形成された厚い酸化膜からなる素子分離領域9により分離されている。

【0053】Pウェル領域3上及びNウェル領域5上に、例えば膜厚が約15nm程度のゲート酸化膜11を介して、N型不純物が導入されたポリシリコン膜からなるN+ポリゲート電極13が形成されている。Nウェル領域7上に、ゲート酸化膜11を介して、P型不純物が導入されたポリシリコン膜からなるP+ポリゲート電極15が形成されている。N+ポリゲート電極13及びP+ポリゲート電極15の膜厚は、例えば約400nm程度である。ゲート酸化膜11、N+ポリゲート電極13及びP+ポリゲート電極15の側壁にサイドウォール17が形成されている。

【0054】Pウェル領域3には、N+ポリゲート電極13を挟んで、NMOSのソース/ドレイン領域を構成し、N型不純物が低濃度に注入された2つのN-拡散層(N-)19が間隔をもって形成されている。両N-拡

散層19のN+ポリゲート電極13とは反対側に、N型不純物が高濃度に注入されたN+拡散層(N+)21がそれぞれ形成されている。Pウェル領域3の形成領域において、ゲート酸化膜11、N+ポリゲート電極13、N-拡散層19及びN+拡散層21はN+ポリNMOS27を構成する。

【0055】Nウェル領域5には、N+ポリゲート電極13を挟んで、PMOSのソース/ドレイン領域を構成し、P型不純物が低濃度に注入された2つのP-拡散層(P-)23が間隔をもって形成されている。両P-拡散層23のN+ポリゲート電極13とは反対側にP型不純物が高濃度に注入されたP+拡散層(P+)25がそれぞれ形成されている。Nウェル領域5の形成領域において、ゲート酸化膜11、N+ポリゲート電極13、P-拡散層23及びP+拡散層25は埋め込みチャネル型PチャネルMOSトランジスタ(以下、N+ポリPMOSと呼ぶ)29を構成する。

【0056】Nウェル領域7には、P+ポリゲート電極15を挟んで、PMOSのソース/ドレイン領域を構成し、P型不純物が低濃度に注入された2つのP-拡散層(P-)23が間隔をもって形成されている。両P-拡散層23のP+ポリゲート電極15とは反対側にP型不純物が高濃度に注入されたP+拡散層(P+)25がそれぞれ形成されている。Nウェル領域7の形成領域において、ゲート酸化膜11、P+ポリゲート電極15、P-拡散層23及びP+拡散層25はP+ポリPMOS31を構成する。

【0057】素子分離領域9上にポリシリコン膜からなる抵抗素子33が形成されている。抵抗素子33は、抵抗値を決定するために適当な濃度で例えばN型不純物が導入されたポリシリコン抵抗体35と、ポリシリコン抵抗体35の両端側にそれぞれ形成され、例えばN型不純物が高濃度に導入された電氣的接続用の低抵抗ポリシリコン膜37により構成されている。

【0058】N+ポリNMOS27上、N+ポリPMOS29上、P+ポリPMOS31上及び抵抗素子33上に、例えば膜厚が5~80nmの熱酸化膜39が形成されている。N+ポリNMOS27及び抵抗素子33の形成領域を含み、N+ポリPMOS29及びP+ポリPMOS31の形成領域を除いて、熱酸化膜39上に例えば膜厚が5~30nmのシリコン窒化膜41が形成されている。

【0059】熱酸化膜39上及びシリコン窒化膜41上に、例えば膜厚が約300nm程度のNSG膜43が形成されている。NSG膜43上にBPSG膜45が形成されている。BPSG膜45の表面は平坦化处理されている。NSG膜43及びBPSG膜45は層間絶縁膜を構成する。

【0060】N+ポリゲート電極13上、P+ポリゲート電極15上、N+拡散層21、P+拡散層25、及び

低抵抗ポリシリコン膜37上の絶縁膜に、電氣的に接続するためのコンタクトホールが選択的に形成されている。図1ではコンタクトホールの一部は図示されていない。

【0061】BPSG膜45上及びコンタクトホール内に第1配線層47が形成されている。第1配線層47の一部分はポリシリコン抵抗体35上を覆うように形成されている。ポリシリコン抵抗体35上に配置された第1配線層47は、電氣的にフローティングな配線層が半導体装置内に存在することは好ましくないもので、いずれかの低抵抗ポリシリコン膜37に電氣的に接続された第1配線層47と電氣的に接続されている。第1配線層47は、例えば下層側から順に、チタンなどからなる膜厚が約40nm程度のバリアメタル、膜厚が400nm以上であって銅などを含むアルミニウム合金、及び膜厚が約30nm程度の窒化チタンからなる積層金属膜により形成されている。

【0062】BPSG膜45上及び第1配線層47上に、TEOS膜及びその上に形成されたSOG膜からなる第2層間絶縁膜49が形成されている。第1配線層47上の第2層間絶縁膜49には、第1配線層47と第2配線層51を電氣的に接続するためのスルーホールが選択的に形成されている。図1ではスルーホールの一部は図示されていない。

【0063】第2層間絶縁膜49上及びスルーホール内に、例えば膜厚が約900nm程度であって銅などを含むアルミニウム合金からなる第2配線層51が形成されている。第2配線層51はポリシリコン抵抗体35上には配置されないようにして設けられている。第2層間絶縁膜49上及び第2配線層51上に、パッシベーション保護膜として、例えばプラズマ窒化膜53が約1000nm程度の膜厚で形成されている。

【0064】図2はこの実施例の製造工程を示す工程断面図である。図1及び図2を参照してこの実施例の製造方法を説明する。図2(A)に示すように、半導体基板1に、N+ポリNMOS形成領域にPウエル領域3を、N+ポリPMOS形成領域にNウエル領域5を、P+ポリPMOS形成領域にNウエル領域7を形成した後、半導体基板1の表面に、周知技術のLOCOS(local oxidation of silicon)法により、厚い酸化膜からなる素子分離領域9を形成する。

【0065】Pウエル領域3及びNウエル領域5, 7の表面にゲート酸化膜11を約15nm程度の膜厚で形成した後、ゲート電極及び抵抗素子となるノンドープポリシリコン膜55を例えば減圧CVD法により半導体基板1上全面に約400nm程度の膜厚に堆積する。

【0066】抵抗素子を構成するポリシリコン抵抗体35の形成領域に抵抗値制御用の不純物をイオン注入法により導入する。例えばN型不純物であるリンにより10k $\Omega$ /□に調整する場合、約3.0 $\times$ 10<sup>14</sup>~6.0 $\times$ 1

0<sup>14</sup>/cm<sup>2</sup>程度、2k $\Omega$ /□に調整する場合、約1.0 $\times$ 10<sup>15</sup>~1.5 $\times$ 10<sup>15</sup>/cm<sup>2</sup>程度のイオン注入が必要である。ポリシリコン抵抗体35はP型不純物を導入したポリシリコン膜でも実現でき、その場合はP型不純物として例えばボロンを導入すればよい。

【0067】少なくともP+ポリPMOS用のP+ポリゲート電極の形成領域のノンドープポリシリコン膜55上及びポリシリコン抵抗体35上を覆うように、例えばCVD酸化膜57を形成する。CVD酸化膜57は例えば約900℃の温度条件でのCVD法により形成する。CVD酸化膜57をマスクにして、N型不純物、例えばリンをノンドープポリシリコン膜55に高濃度に導入して低抵抗ポリシリコン膜59を形成する。ここではPH<sub>3</sub>を原料ガスとして熱拡散法によりリンを導入する。ただし、低抵抗ポリシリコン膜59を形成するための不純物導入法はこれに限定されるものではなく、例えばフォトリソパターンをマスクにしたイオン注入法により不純物を導入してもよい。

【0068】図2(B)に示すように、リンで汚染したCVD酸化膜57を除去した後、P+ポリPMOS用のP+ポリゲート電極の形成領域に、フォトリソを用いて選択的に、イオン注入法によりP型不純物を高濃度に導入する。このP+ポリゲート電極用のポリシリコン膜へのP型不純物導入は、後に述べるP+拡散層25を形成するためのP型不純物導入と兼ねることが可能である。その場合はフォトリソグラフィ工程を省略することができるので、コスト的に有利である。

【0069】P型不純物が導入されたP+ポリゲート電極用のポリシリコン膜、ポリシリコン抵抗体35及び低抵抗ポリシリコン膜59を所望の形状にエッチングによりパターニングし、N+ポリゲート電極13及びP+ポリゲート電極15、並びにポリシリコン抵抗体35及び低抵抗ポリシリコン膜37からなる抵抗素子33を形成する。

【0070】イオン注入法により、Pウエル3のN+ポリNMOSのN-拡散層形成領域にN+ポリゲート電極13に対して自己整合的にN型不純物を導入し、Nウエル5のN+ポリPMOSのP-拡散層形成領域にN+ポリゲート電極13に対して自己整合的にP型不純物を導入し、Nウエル7のP+ポリPMOSのP-拡散層形成領域にP+ポリゲート電極15に対して自己整合的にP型不純物を導入する。その後、不純物を活性化するための熱処理を行ない、N-拡散層19とP-拡散層23を形成する。

【0071】CVD法とエッチバック技術により、CVD酸化膜からなるサイドウォール17をゲート電極13, 15及びゲート酸化膜11の側壁に形成する。イオン注入法により、N+ポリNMOSのN+拡散層形成領域にN+ポリゲート電極13に対して自己整合的にヒ素などのN型不純物を高濃度に導入してN+拡散層21を

形成する。

【0072】N+拡散層21に導入したN型不純物の活性化を兼ねて、ドライ酸化雰囲気により熱酸化膜39を5～80nmの厚さでN+ポリNMOS27の形成領域、N+ポリPMOS29の形成領域、P+ポリPMOS31の形成領域及び抵抗素子33を覆うように形成する。ここで重要なのは、熱酸化膜39はCVD法などで形成したポーラスな酸化膜ではなく、稠密な熱酸化膜であることである。また、酸化雰囲気は水蒸気を含まないドライ酸化が好ましい。水蒸気を含むウェット酸化では、NMOSのホットキャリア耐性の劣化が早くなることが確認されているからである。

【0073】シリコン基板1上全面に水素遮へい用のシリコン窒化膜41を形成する。シリコン窒化膜41の膜厚は、例えば5～30nmである。シリコン窒化膜41の膜厚は、特にN+ポリNMOS27のホットキャリア耐性の劣化防止及びポリシリコン抵抗体35の抵抗値制御性及び抵抗値安定性の向上に寄与する。シリコン窒化膜41の膜厚が薄すぎると水素遮へい能力が低下し、厚すぎると応力増大によるポリシリコン抵抗体35の抵抗値安定性の低下につながる。シリコン窒化膜41の形成方法として、例えば $\text{SiH}_2\text{Cl}_2$ 及び $\text{NH}_3$ を原料ガスとした約700℃程度の温度条件での減圧CVD法を挙げることができる。例えば約400℃程度でのプラズマCVD法によって形成したシリコン窒化膜は、膜中に水素を多量に含むためしきい値電圧及び抵抗値制御性及び抵抗値安定性が確保できないので好ましくない。

【0074】図2(C)に示すように、N+ポリPMOS29の形成領域及びP+ポリPMOS31の形成領域に開口部をもつフォトレジストパターンをマスクにして、エッチング技術により、N+ポリPMOS29の形成領域及びP+ポリPMOS31の形成領域のシリコン窒化膜41を選択的に除去する。続けて、そのフォトレジストパターンをマスクにして、イオン注入法により、P+拡散層形成領域にボロンなどのP型不純物を高濃度導入し、P+拡散層25を形成する。この製造方法では、PMOS29、31上のシリコン窒化膜41を選択的に除去するためのフォトレジストパターン、及びP+拡散層25を形成する際に用いるフォトレジストパターンとして、同一のフォトレジストパターンを用いているので、コスト的に大きな効果がある。

【0075】ここで、P+拡散層25を形成するためのP型不純物導入は、P+ポリゲート電極15への不純物導入を兼ねてもよい。その場合、熱酸化膜39の膜厚を5～25nm程度で形成することが好ましい。これにより、P+ポリゲート電極15及びP+拡散層25を形成するためのイオン注入時の加速電圧を抑えることができ都合がよい。

【0076】フォトレジストパターンを除去した後、図1に示すように、例えば常圧CVD法により、シリコン

窒化膜41及び熱酸化膜39上にNSG膜43を約300nm程度の膜厚に堆積し、さらにその上にBPSG膜45を約500nm程度の膜厚に堆積する。その後、800～900℃の温度条件で加熱処理を施し、BPSG膜45を平坦化する。ここで、平坦性を向上させるために、BPSG膜45上にさらにSOG膜などを塗布するようにしてもよい。

【0077】N+ポリゲート電極13上、P+ポリゲート電極15上、N+拡散層21、P+拡散層25、及び低抵抗ポリシリコン膜37上の絶縁膜に、電氣的に接続するためのコンタクトホールを選択的に形成する。BPSG膜45上及びコンタクトホール内に、下層側から順に、膜厚が約40nm程度のチタンなどのバリアメタル、膜厚400nm以上のCuなどを含むアルミニウム合金、膜厚30nm程度の窒化チタンをスパッタ法により堆積し、それらの金属膜をパターニングして第1配線層47を形成する。

【0078】第1配線層47の形成後、約420℃の温度により水素雰囲気中でメタルアロイを行なう。このとき、シリコン窒化膜41の作用効果により、N+ポリNMOS27及び抵抗素子33への水素の拡散を防止することができ、N+ポリNMOS27のホットキャリア耐性の劣化防止及びポリシリコン抵抗体35の抵抗値制御性及び抵抗値安定性の低下の防止を図ることができる。

【0079】第1配線層47の一部は、抵抗素子33のポリシリコン抵抗体35上全体を覆うように配置される。第1配線層47はポリシリコン抵抗体35に対するシリコン窒化膜41の応力緩和が目的であるので、ある程度の膜厚が必要であり、例えば400nm以上であることが好ましい。ポリシリコン抵抗体35の上層に配置された第1配線層47の存在が、シリコン窒化膜41により応力変動に対して敏感になったポリシリコン抵抗体35の抵抗値安定性の確保に効果を発揮する。

【0080】BPSG膜45上及び第1配線層47上に、例えばプラズマCVD法によりTEOS膜を堆積し、SOG膜などで平坦化して第2層間絶縁膜49を形成する。第1配線層47上の第2層間絶縁膜49にスルーホールを選択的に形成する。その後、スパッタ法によりCuなどを含むアルミニウム合金を約900nm程度の膜厚に堆積し、エッチング技術により選択的に第2配線層51を形成する。ここで、第2配線層51は、ポリシリコン抵抗体35上には存在しないように配置されることが好ましい。配置した場合は、ポリシリコン抵抗体35の抵抗値制御性が若干ながら低下する。

【0081】最後に、パッシベーション保護膜として、例えばプラズマCVD法により、約1000nm程度のプラズマ窒化膜53を形成する。このとき、シリコン窒化膜41の作用効果により、N+ポリNMOS27及び抵抗素子33への水素の拡散を防止することができ、N+ポリNMOS27のホットキャリア耐性の劣化防止及

びポリシリコン抵抗体35の抵抗値制御性及び抵抗値安定性の低下の防止を図ることができる。

【0082】第1の実施例は、P+ポリPMOSのしきい値電圧制御性を重視したデバイス構造である。図3はP+ポリPMOSのしきい値電圧のウエハ面内バラツキを示す図であり、(A)は従来の半導体装置（従来技術）、(B)は第1の実施例、(C)は後述する第3の実施例を示す。横軸はしきい値電圧(V(ボルト))を示し、縦軸は度数(%)を示す。ここではP+ポリPMOS上の酸化膜は、第1の実施例及び第3の実施例では膜厚が25nmの熱酸化膜であり、従来技術では膜厚が150nmのCVD酸化膜である。従来技術及び第3の実施例では熱酸化膜上に膜厚が10nmのシリコン窒化膜が形成されている。第1の実施例(B)では、従来の半導体装置(A)に比べ、しきい値電圧のウエハ面内バラツキが低減され、P+ポリPMOSのしきい値電圧制御性が改善されているのがわかる。

【0083】第1の実施例において、熱酸化膜39の膜厚は、特にN+ポリNMOS27のしきい値電圧安定性と抵抗素子33のポリシリコン抵抗体35の抵抗値安定性に大きく関与する。なお、ポリシリコン抵抗体35上に熱酸化膜39を形成しないでシリコン窒化膜41を直接形成すると、シリコン窒化膜41の形成時にポリシリコン抵抗体35がグレインの異常成長を起こし、その結果、ポリシリコン抵抗体35の抵抗値制御性が著しく低下するので、好ましくない。

【0084】図4は、N+ポリNMOS上の酸化膜の膜質及び膜厚に起因するN+ポリNMOSのしきい値電圧のドリフトについて測定した結果を示す図であり、実線は熱酸化膜（第1の実施例）を用いた場合を示し、破線はCVD酸化膜（従来の半導体装置）を用いた場合を示す。横軸はN+ポリNMOS上の酸化膜厚(nm)、縦軸はしきい値電圧ドリフト(mV)を示す。

【0085】熱酸化膜（実線）は、CVD酸化膜（破線）に比べ、しきい値電圧のドリフト量が小さく、N+ポリNMOSのしきい値電圧安定性を向上させることができる。特に、膜厚を5~80nmとすることでドリフト量を5mV以下に抑制することができる。

【0086】図5は、ポリシリコン抵抗体上の酸化膜の膜質及び膜厚に起因するポリシリコン抵抗体の抵抗値安定性を測定した結果を示す図であり、実線は熱酸化膜（第1の実施例）を用いた場合を示し、破線はCVD酸化膜（従来の半導体装置）を用いた場合を示す。横軸はポリシリコン抵抗体上の酸化膜厚(nm)、縦軸は抵抗値ドリフト(%)を示す。熱酸化膜（実線）は、CVD酸化膜（破線）に比べ、抵抗値のドリフト量が小さく、ポリシリコン抵抗体の抵抗値安定性を向上させることができる。特に、熱酸化膜厚を5~80nmとすることで、ドリフト量を-0.2%以下にすることができる。

【0087】図6は、シリコン窒化膜厚に対するN+ポ

リNMOSのホットキャリア寿命の変化を測定した結果を示す図である。横軸はシリコン窒化膜厚(nm)を示し、縦軸はホットキャリア寿命(秒)を示す。ここではN+ポリNMOS、シリコン窒化膜厚間の酸化膜として膜厚が25nmの熱酸化膜を用いた。シリコン窒化膜厚が10nmでN+ポリNMOSのホットキャリア寿命は最大となっている。

【0088】図7は、シリコン窒化膜厚に対するポリシリコン抵抗体の抵抗値変化（実線）とドリフト変化（破線）を測定した結果を示す図である。横軸はシリコン窒化膜厚(nm)を示し、左縦軸は抵抗値( $\Omega$ )を示し、右縦軸は抵抗値ドリフト(%)を示す。ここではN+ポリNMOS、シリコン窒化膜厚間の酸化膜として膜厚が25nmの熱酸化膜を用いた。

【0089】シリコン窒化膜厚が3nm以下で抵抗値（実線）の低下が見られる。また、シリコン窒化膜厚が30nmよりも大きい膜厚ではドリフトが-0.2%よりも大きくなるのがわかる。図6及び図7の結果から、シリコン窒化膜厚は5~30nmが好ましいことがわかる。

【0090】図8に第2の実施例を示す。この実施例は第1の態様の他の実施例である。図1に示した第1の実施例と同じ部分には同じ符号を付し、その部分の詳細な説明は省略する。図1に示した第1の実施例と比べて、抵抗素子33のポリシリコン抵抗体35の上層を第1配線層47が覆っていない点が異なっている。

【0091】このような抵抗素子33は、アナログ回路のフィードバック系に用いられることが多く、高速性が求められる場合に有利である。第1配線層47をポリシリコン抵抗体35の上層に配置した場合、ポリシリコン抵抗体35と第1配線層47の間に大きな寄生容量が発生し、回路動作の高速性を損なう場合があるからである。そのような場合は、第1配線層47をポリシリコン抵抗体35の上層に配置することができず、熱酸化膜39の膜質及び膜厚改善の効果しか期待できなくなる。そこで、さらに検証を加えた結果、抵抗値の安定性は初期設定の抵抗値に大きく依存することを発見した。

【0092】図9に、ポリシリコン抵抗体の上層に第1配線層が存在する場合と存在しない場合について、ポリシリコン抵抗体の抵抗値に対するドリフト変化を測定した結果を示す。実線はポリシリコン抵抗体の上層に第1配線層が存在しない場合（配線無し）を示し、破線は存在する場合（配線有り）を示す。横軸は抵抗値( $\Omega/\square$ )を示し、縦軸は抵抗値ドリフト(%)を示す。

【0093】第1配線層47によりポリシリコン抵抗体35を覆わない場合（実線）であっても、抵抗値を3000 $\Omega/\square$ 以下にすれば、第1配線層47でポリシリコン抵抗体35を覆う場合（破線）と同等の抵抗値安定性が得られることが明らかになった。また、ポリシリコン抵抗体35の上層を第1配線層47で覆った場合（破線）

には、シリコン窒化膜41の応力を緩和して、20kΩまで、抵抗値のドリフトを抑制することができる。

【0094】図8に示した第2の実施例において、第1配線層のみならず、すべての配線層がポリシリコン抵抗体35の上層に存在しないようにレイアウトすることが好ましい。配線層の有無がポリシリコン抵抗体35の微妙な抵抗値変動を起こし、抵抗値制御性が損なわれるからである。

【0095】図10に第3の実施例を示す。この実施例は第2の態様の一実施例である。図1に示した第1の実施例と同じ部分には同じ符号を付し、その部分の詳細な説明は省略する。第1の実施形態と比べて、N+ポリPMOS29及びP+ポリPMOS31もシリコン窒化膜41により覆われている点が異なっている。

【0096】ゲート電極に高電圧が長時間印可されるようなアナログ回路の場合、スロートラップなどによるしきい値電圧のドリフトを抑制する（安定性を高める）方が制御性よりも重要となる。スロートラップとは、負バイアス電圧下でのBT（Bias-Temperature）処理で正に帯電するようなトラップであり、PMOSのしきい値電圧ドリフトの大きな要因であると考えられている。シリコン-シリコン酸化膜界面におけるSi-O結合の変化に起因しており、水素の影響を多分に受ける。

【0097】第3の実施例では、N+ポリPMOS29及びP+ポリPMOS31の上層にもシリコン窒化膜41を形成しているため、水素によるN+ポリPMOS29及びP+ポリPMOS31のしきい値電圧ドリフトを抑制することができる。例えば図1に示した第1の実施例のように、P+ポリPMOS31の上層にシリコン窒化膜41が無い場合のドリフト量が15mVであるのに対して、第3の実施例のようにシリコン窒化膜41がある場合のドリフト量は4mVの実験結果が得られており、しきい値電圧安定性を重視するアナログ回路系に好適である。

【0098】図3（C）は、第3の実施例のP+ポリPMOSのしきい値電圧のウエハ面内バラツキを示す図であり、図3（B）に示す第1の実施例の場合に比べて若干ながらしきい値電圧制御性に劣る。しかし、図3

（A）の従来技術に比べて、P+ポリPMOSのしきい値電圧制御性が改善されているのがわかる。これは、N+ポリPMOS29及びP+ポリPMOS31の上に熱酸化膜39を形成しているためであり、従来技術で問題になっていたPMOSのしきい値電圧制御性を改善することができ、実使用には十分耐える特性にすることができる。

【0099】第3の実施例において、図1に示した第1の実施例と比べて、製造工程的にはシリコン窒化膜41を選択的に除去する工程を行なわないだけである。ただし、しきい値電圧は150mVシフトするので、第1の実施例と第3の実施例で、N+ポリPMOS29及びP

+ポリPMOS31について同じしきい値電圧を得るためにはNウエル5、7の不純物濃度の調整が必要である。

【0100】図11に第4の実施例を示す。この実施例は第3の態様の一実施例である。図1に示した第1の実施例と同じ部分には同じ符号を付し、その部分の詳細な説明は省略する。第1の実施例と比べて、P+ポリPMOS31の上層にシリコン窒化膜41が形成されている点が異なっている。第3の実施例では、PMOSに関して、上層にシリコン窒化膜41が存在するP+ポリPMOS31と、上層にシリコン窒化膜41が存在しないN+ポリPMOS29が混載されている。

【0101】第4の実施例によれば、しきい値電圧制御性を求める回路系と安定性を求める回路系に、各々適当なデバイスを提供できる。ただし、この実施例の製造工程において、シリコン窒化膜を選択的に除去する際に用いるフォトリソパターンと、P+拡散層25の形成時に用いるフォトリソパターンを共用することができないので、それぞれフォトリソパターンを形成する必要がある。またP+ポリPMOS31について、シリコン窒化膜41により覆われているので、第1の実施例のP+ポリPMOS31と同一のしきい値電圧を得るためにはNウエル7の不純物濃度の調整が必要である。

【0102】第4の実施例では、P+ポリPMOS31の上層をシリコン窒化膜41で覆い、N+ポリPMOS29の上層はシリコン窒化膜41で覆わない構成としているが、本発明の第3の態様はこれに限定されるものではなく、P+ポリPMOS31の上層はシリコン窒化膜41で覆わず、N+ポリPMOS29の上層をシリコン窒化膜41で覆う構成としてもよいし、N+ポリPMOS29及びP+ポリPMOS31について、上層をシリコン窒化膜41で覆われているものと覆われていないものがそれぞれ混載されていてもよい。

【0103】第1から第4の実施例では、2層配線層構造を想定しているが、本発明はこれに限定されるものではなく、1層配線層構造又は3層以上の多層配線層にも適用が可能であることは言うまでもない。また、第1から第4の実施例では、MOSTランジスタとして、サイドウォール17を備えた2重拡散構造のMOSTランジスタを用いているが、本発明で用いるMOSTランジスタはこれに限定されるものではなく、サイドウォールの無いMOSTランジスタ構造など、他の構造のMOSTランジスタを用いた場合でも同様の効果を得ることができる。

【0104】図12は、アナログ集積回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。直流電源61からの電源を負荷63に安定して供給すべく、定電圧発生回路65が設けられている。定電圧発生回路65は、直流電源61が接続される入力端子（Vbat）67、基準電圧源としての基準電圧発生回路

(Vref) 69、差動増幅回路71、出力ドライバを構成するPチャネルMOSトランジスタ(PMOS) 73、分圧抵抗R1、R2及び出力端子(Vout) 75を備えている。

【0105】定電圧発生回路65の差動増幅回路71では、出力端子がPMOS73のゲート電極に接続され、反転入力端子に基準電圧発生回路69から基準電圧Vrefが印加され、非反転入力端子に出力電圧Voutを分圧抵抗R1とR2で分圧した電圧が印加され、分圧抵抗R1、R2からの分圧電圧が基準電圧Vrefに等しくなるように制御される。

【0106】定電圧発生回路65において、分圧抵抗R1、R2を構成する抵抗素子としては、本発明の半導体装置を構成するポリシリコン抵抗体が用いられる。本発明の半導体装置を構成するポリシリコン抵抗体は、抵抗値制御性及び抵抗値安定性を向上させることができるので、分圧抵抗R1、R2からの分圧電圧の精度を向上させることができ、ひいては定電圧発生回路65の精度を向上させることができる。

【0107】さらに、基準電圧発生回路69及び演算増幅回路71は本発明の半導体装置を構成するPMOS及びNMOSにより構成される。本発明の半導体装置を構成するPMOS及びNMOSはしきい値電圧制御性及びしきい値電圧安定性を向上させることができるので、基準電圧発生回路69及び演算増幅回路71の出力の精度を向上させることができ、ひいては定電圧発生回路65の精度を向上させることができる。

【0108】図13は、アナログ集積回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。71は差動増幅回路で、その反転入力端子に基準電圧発生回路69が接続され、基準電圧Vrefが印加される。入力端子(Vsens) 77から入力される測定すべき端子の電圧が分圧抵抗R1とR2によって分圧されて差動増幅回路71の非反転入力端子に入力される。差動増幅回路71の出力は出力端子(Vout) 79を介して外部に出力される。

【0109】電圧検出回路81において、測定すべき端子の電圧が高く、分圧抵抗R1とR2により分圧された電圧が基準電圧Vrefよりも高いときは差動増幅回路71の出力がHを維持し、測定すべき端子の電圧が降下してきて分圧抵抗R1とR2により分圧された電圧が基準電圧Vref以下になると差動増幅回路71の出力がLになる。

【0110】電圧検出回路81において、分圧抵抗R1、R2を構成する抵抗素子として、本発明の半導体装置を構成するポリシリコン抵抗体が用いられる。本発明の半導体装置を構成するポリシリコン抵抗体は抵抗値制御性及び抵抗値安定性を向上させることができるので、分圧抵抗R1、R2からの分圧電圧の精度を向上させることができ、ひいては電圧検出回路81の精度を向上さ

せることができる。

【0111】さらに、基準電圧発生回路69及び演算増幅回路71は本発明の半導体装置を構成するPMOS及びNMOSにより構成される。本発明の半導体装置を構成するPMOS及びNMOSはしきい値電圧制御性及びしきい値電圧安定性を向上させることができるので、基準電圧発生回路69及び演算増幅回路71の出力の精度を向上させることができ、ひいては電圧検出回路81の精度を向上させることができる。

【0112】以上、本発明の実施例を説明したが、本発明はこれに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0113】

【発明の効果】請求項1に記載の半導体装置では、PMOS及びNMOSを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、上記NMOS上及び上記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されており、上記PMOS上にはシリコン窒化膜が形成されていないようにしたので、シリコン窒化膜によりNMOS及びポリシリコン抵抗体への水素の拡散を防止して、NMOSのホットキャリア耐性の劣化を抑制することができ、ポリシリコン抵抗体の抵抗値制御性を向上させることができ、PMOS上にはシリコン窒化膜が存在していないので、PMOSのしきい値電圧制御性を低下させることは無い。さらに、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5～80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。さらに、PMOS上にも熱酸化膜が形成されるために、PMOSのしきい値電圧安定性の向上を図ることができる。

【0114】請求項2に記載の半導体装置では、PMOS及びNMOSを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、上記PMOS上、上記NMOS上及び上記ポリシリコン抵抗体上に、膜厚が5～80nmの熱酸化膜を介してシリコン窒化膜が形成されているようにしたので、NMOSとポリシリコン抵抗体上を熱酸化膜を介してシリコン窒化膜で覆うことにより、NMOSのホットキャリア耐性の劣化を抑制することができ、ポリシリコン抵抗体の抵抗値制御性を向上させることができる。さらに、PMOSを熱酸化膜を介してシリコン窒化膜で覆うことにより、PMOSへの水素の拡散を防止することができ、PMOSのしきい値電圧安定性のさらなる向上を図ることができる。さらに、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5～80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0115】請求項3に記載の半導体装置では、PMO

S及びNMOSを備えたCMOSデバイスとポリシリコン抵抗体を備えた半導体装置において、上記NMOS上及び上記ポリシリコン抵抗体上に、膜厚が5~80nmの熱酸化膜を介してシリコン窒化膜が形成されており、上記PMOSとして、上層に膜厚が5~80nmの熱酸化膜を介してシリコン窒化膜が形成されているものと、上層にシリコン窒化膜が形成されていないものが混載されているようにしたので、上層に熱酸化膜を介して窒化膜が形成され、しきい値電圧安定性に優れているPMOSと、上層に窒化膜が形成されず、しきい値電圧制御性に優れているPMOSとを同一半導体基板上に形成することができ、しきい値電圧制御性を優先する回路としきい値電圧安定性を優先する回路が同一半導体基板上に同時に存在する半導体装置について、優れた製品をより実現しやすくなる。さらに、シリコン窒化膜下の酸化膜として熱酸化膜を用い、その熱酸化膜の膜厚を5~80nmとすることにより、NMOSのしきい値電圧安定性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0116】請求項4に記載の半導体装置では、上記シリコン窒化膜の膜厚は5~30nmであるようにしたので、NMOSのホットキャリア耐性の向上とポリシリコン抵抗体の抵抗値安定性の向上を図ることができる。

【0117】請求項5に記載の半導体装置では、上記PMOSとして、P型不純物が導入されたポリシリコン膜からなるゲート電極を備えたP+ポリPMOSを含むようにしたので、しきい値電圧制御性及びしきい値電圧安定性について水素の影響を特に受けるP+ポリPMOSについて、しきい値電圧制御性及びしきい値電圧安定性の低下を抑制することができる。

【0118】請求項6に記載の半導体装置では、上記ポリシリコン抵抗体の形成領域において、上記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されており、上記ポリシリコン抵抗体は、上記ノンドープ酸化膜上に形成された層間絶縁膜を介して、アルミニウムを含む金属材料からなり、膜厚は400nm以上である金属配線層で覆われているようにしたので、ポリシリコン抵抗体に対するシリコン窒化膜の応力を緩和することができ、ポリシリコン抵抗体の抵抗値のドリフトを低減することができ、抵抗値安定性を向上させることができる。さらに、シリコン窒化膜上にノンドープ酸化膜を備えているので、ノンドープ酸化膜の上層に形成される層間絶縁膜からのポリシリコン抵抗体への不純物拡散を防止することができ、抵抗値安定性を向上させることができる。さらに、上記金属配線層の材料としてアルミニウムを含む金属材料を用い、その膜厚は400nm以上であるようにしているので、ポリシリコン抵抗体に対するシリコン窒化膜の応力緩和の効果を有効に得ることができる。

【0119】請求項7に記載の半導体装置では、上記ポ

リシリコン抵抗体の形成領域において、上記金属配線層の上層には他の金属配線層が形成されていないようにしたので、上層膜に起因する抵抗値のバラツキ要因を排除することができ、抵抗値制御性を向上させることができる。

【0120】請求項8に記載の半導体装置では、上記ポリシリコン抵抗体の形成領域において、上記ポリシリコン抵抗体は3000Ω/□以下のシート抵抗値をもち、上記シリコン窒化膜上に、不純物が導入されていないノンドープ酸化膜が形成されており、上記ポリシリコン抵抗体の上層には金属配線層が形成されていないようにしたので、ポリシリコン抵抗体の上層に応力緩和用の金属配線層を形成しなくても抵抗値安定性の高いポリシリコン抵抗体を得ることができ、上層の金属配線層との間に形成される容量を低減して、高速動作を要求される回路系に用いることが可能となる。

【0121】請求項9に記載の半導体装置では、検出すべき電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧源と、上記分圧抵抗からの分圧電圧と上記基準電圧源からの基準電圧を比較するための比較回路を備えたアナログ集積回路を備えている半導体装置において、上記基準電圧源及び上記比較回路のうち少なくとも一方に本発明を構成するCMOSデバイスを適用するようにしたので、上記基準電圧源もしくは上記比較回路又はその両方の出力の精度を向上させることができ、ひいては上記アナログ回路の出力の精度を向上させることができる。さらに、上記分圧抵抗に本発明を構成するポリシリコン膜を適用するようにしたので、分圧抵抗からの分圧電圧の精度を向上させることができ、ひいては上記アナログ回路の精度を向上させることができる。

【図面の簡単な説明】

【図1】第1の実施例を示す断面図である。

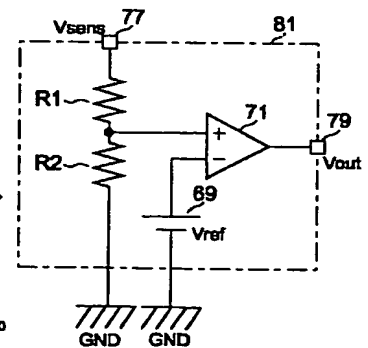
【図2】同実施例の製造工程を示す工程断面図である。

【図3】P+ポリPMOSのしきい値電圧のウエハ面内バラツキを示す図であり、(A)は従来の半導体装置(従来技術)、(B)は第1の実施例、(C)は第3の実施例を示す。

【図4】N+ポリNMOS上の酸化膜の膜質及び膜厚に起因するN+ポリNMOSのしきい値電圧のドリフトについて測定した結果を示す図であり、実線は熱酸化膜を用いた場合を示し、破線はCVD酸化膜を用いた場合を示す。

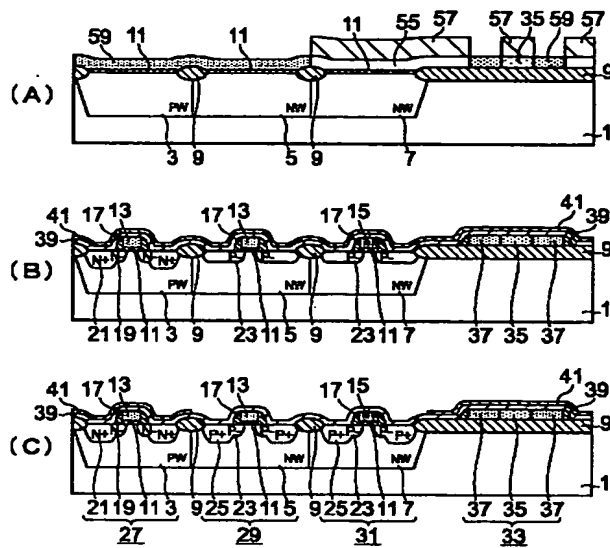
【図5】ポリシリコン抵抗体上の酸化膜の膜質及び膜厚に起因するポリシリコン抵抗体の抵抗値安定性を測定した結果を示す図であり、実線は熱酸化膜を用いた場合を示し、破線はCVD酸化膜を用いた場合を示す。

【図6】シリコン窒化膜厚に対するN+ポリNMOSのホットキャリア寿命の変化を測定した結果を示す図である。

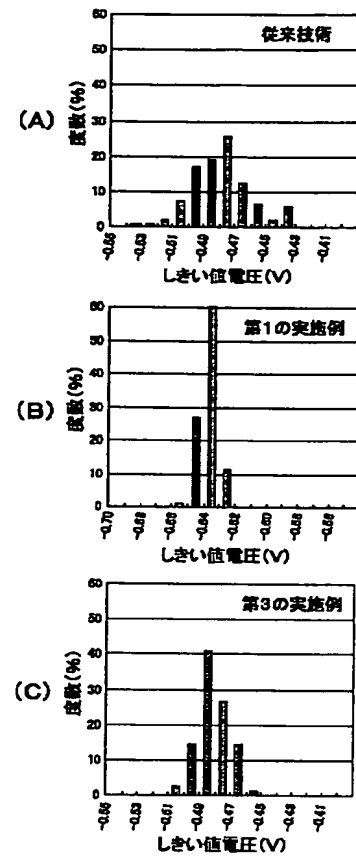




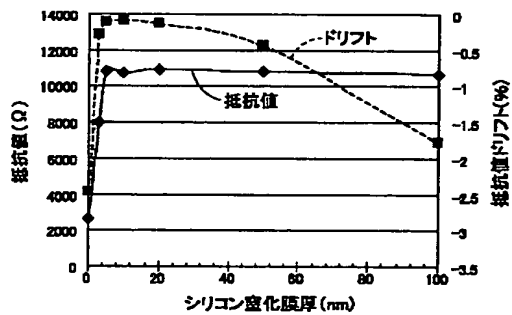
【図2】



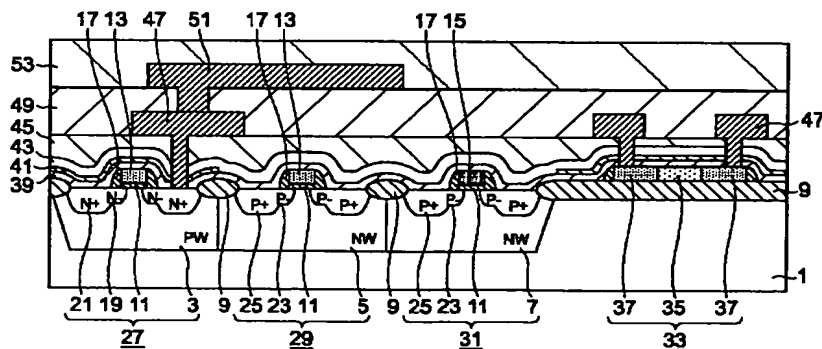
【図3】



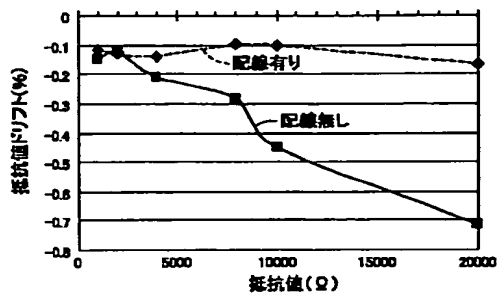
【図7】



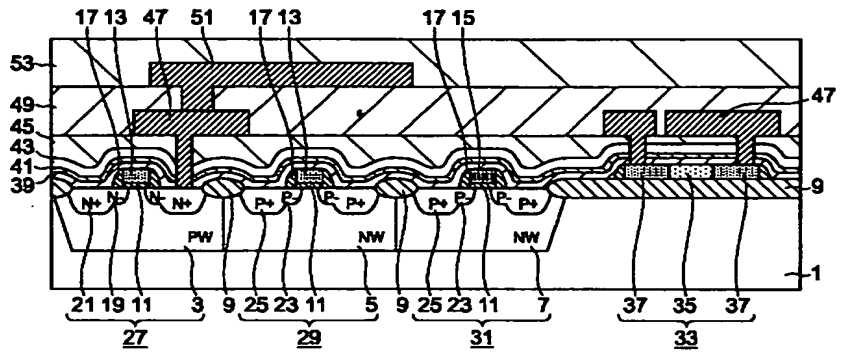
【図8】



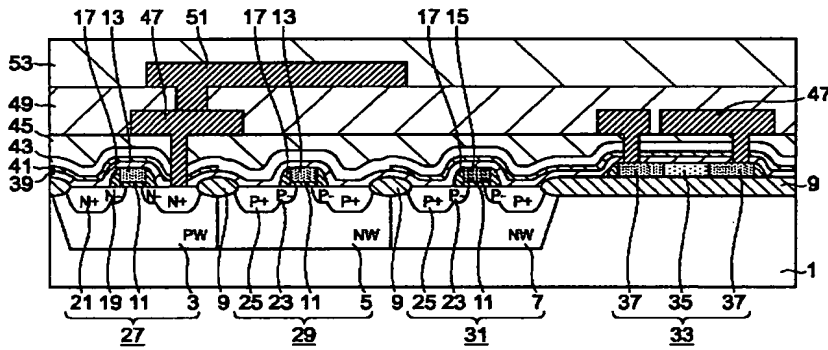
【図9】



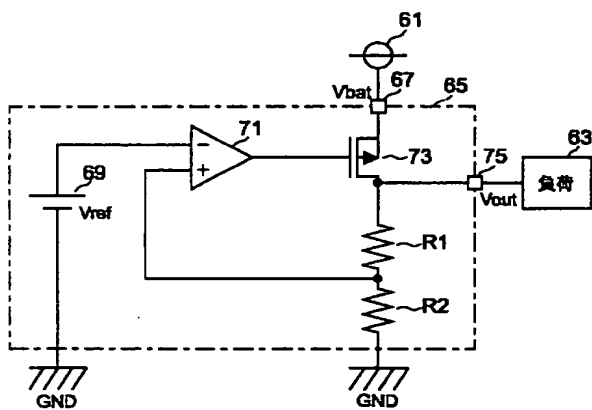
【図10】



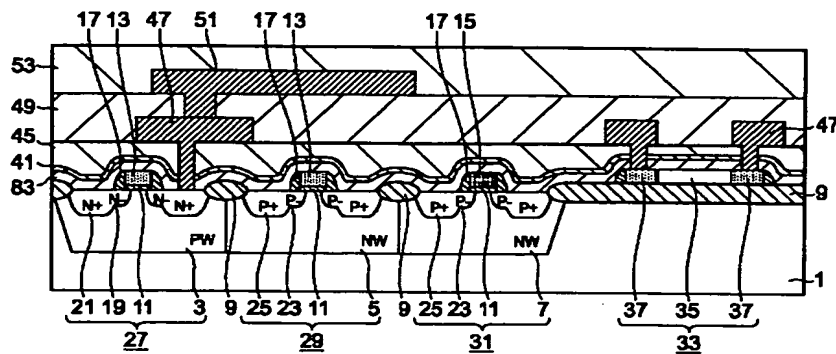
【図11】



【図12】



【図14】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

タームコード (参考)

H O 1 L 27/04  
27/06  
27/092

F ターム (参考) 5F033 HH04 HH09 HH18 HH33 JJ09  
JJ18 JJ33 KK01 KK04 KK09  
KK18 KK33 LL04 MM08 NN06  
NN07 PP15 QQ09 QQ37 QQ59  
QQ65 QQ73 QQ74 QQ75 QQ76  
RR04 RR06 RR09 RR13 SS01  
SS02 SS04 SS12 SS13 SS15  
SS25 SS27 TT02 XX19 XX28  
5F038 AR09 AR13 DF12 EZ16 EZ20  
5F048 AA07 AB08 AB10 AC03 AC10  
BA01 BB06 BB07 BB14 BC06  
BE03 BF02 BF03 BF12 BF16  
BG12 DA25  
5F058 BA20 BD01 BD04 BD10 BF02